



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link:

Document ID: JP 07-128411 A2

Title: DELAY TESTING METHOD

Assignee: HITACHI LTD
HITACHI COMPUT ENG CORP LTD

Inventor: SAKAMOTO YORIYUKI

US Class:

Int'l Class: G01R 31/319 A

Issue Date: 05/19/1995

Filing Date: 11/02/1993

Abstract:

PURPOSE: To execute the delay testing of a scan circuit by observing an output signal of a second FF circuit section at the timing set by considering delay of a signal in a scan-out path.

CONSTITUTION: When a clock signal set by considering a quantity of delay of a signal in a functional logic circuit G is inputted from a clock-inputting terminal 4, an output signal of the circuit G is fetched into an ending point FF circuit 63A in synchronism with the timing to be outputted from an output terminal 12. The output signal is outputted to the outside of an LSI via a path P2 from the terminal 12 of the circuit 63A to a scan-out terminal 13 so that the signal outputted from the terminal 13 is observed. After finishing the observation, delay test information in relation to a normal logic circuit path P1 including the circuit G, i.e., a logical value of the circuit 63A is outputted to the outside from the terminal 13 under the controlling of a scan-out control unit to be observed. By utilizing each information obtained by the above manner, the analysis of a failure is carried out by an equipment-diagnosis device.

(C)1995,JPO

Copyright © 1993-2000 Aurigin Systems, Inc.
[Legal Notices](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-128411

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/319

G 0 1 R 31/ 28

R

審査請求 未請求 請求項の数 2 F D (全 9 頁)

(21) 出願番号 特願平5-297248

(22) 出願日 平成5年(1993)11月2日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233011

日立コンピュータエンジニアリング株式会
社

神奈川県秦野市堀山下1番地

(72) 発明者 坂本 頼之

神奈川県秦野市堀山下1番地 日立コンピ
ュータエンジニアリング株式会社内

(74) 代理人 弁理士 玉村 静世

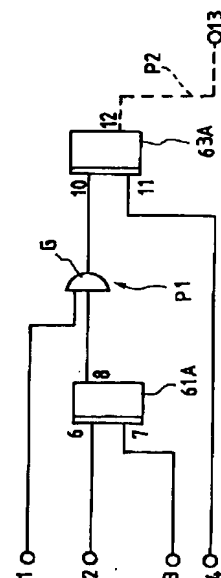
(54) 【発明の名称】 デイレイテスト方法

(57) 【要約】

【目的】 本発明の目的は、スキャン回路のディレイテ
ストを行うための技術を提供することにある。

【構成】 テスト対象バスの終点に配置された F F 回路
部 6 3 A の出力信号を、この回路部 6 3 A 以降のスキャ
ン回路バス P 2 での信号遅延を考慮して設定されたタイ
ミングで観測することにより、スキャンアウト系のディ
レイテストを可能とする。

【図 1】



【特許請求の範囲】

【請求項1】 テスト対象パスの始点に配置された第1フリップフロップ回路部からスキャンインされたテストパターンを、上記テスト対象パスの終点に配置された第2フリップフロップ回路部にスキャンインし、この第2フリップフロップ回路部の保持状態をスキャンアウトして観測することによって、上記テスト対象パスのディレイテストを可能とするディレイテスト方法において、上記テスト対象パスの終点に配置された第2フリップフロップ回路部の出力信号を、この第2フリップフロップ回路部以降のスキャンアウトパスでの信号遅延を考慮して設定されたタイミングで観測するステップを含み、この観測結果と、上記テスト対象パスのディレイテスト結果とに基づいて、ディレイ不良解析を行うことを特徴とするディレイテスト方法。

【請求項2】 上記テスト対象パスのディレイテストのための情報に、上記第2フリップフロップ回路部を選択するためのアドレス情報、上記第2フリップフロップ回路部からの正常出力期待値、及びこの正常出力期待値を観測するタイミング情報が付加されたテストパターンに基づいて、ディレイテストを行う請求項1記載のディレイテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号伝播パスのディレイテスト（遅延故障検出テスト）技術に関し、例えば大型電子計算機等に適用される論理LSIに適用して有効な技術に関する。

【0002】

【従来の技術】 大型電子計算機システムには、システムの保守、診断等を実現するための自動診断機能が備えられることによって、信頼性の向上が図られている。そのような大型電子計算機に適用される論理LSIにおいては、上記自動診断を可能とするため、予め生成されたテストパターンを用いて、内部信号伝播パスのディレイテストが行えるようになっている。

【0003】 このディレイテストとしては、単一パスについて変化信号（立ち上がり、立ち下がり）を伝播させ、設計された伝播時間後に出力点を観測することで可能とされる。この技術は、回路内のフリップフロップ

（以下、FFと略記する）の論理値を通常論理とは、独立して自由に読み書きできるテスト用回路（スキャン回路という）が組込まれ、各FFのクロック端子に対してLSI外部端子より任意のタイミングでパルス信号の印加が可能であることを前提としている。変化信号の入力点、出力点として、LSI外部端子のみならず、LSI内部のFFも利用可能とされる。そのような技術の応用により、ディレイテストのためのパターンを作成するアルゴリズムは、FFあるいはLSI外部端子で区切られた組み合わせ回路のみを対象とすることができ、装置あ

るいはソフトウェアによるテストパターンの自動生成が可能とされる。

【0004】 尚、ディレイテスト技術について記載された文献の例としては、特開昭52-28613号公報がある。

【0005】

【発明が解決しようとする課題】 上記従来技術においてテスト対象となるのは、LSIが本来有する機能を実現する通常論理回路であり、すなわち、LSIの通常動作における所定の機能を実現するための回路であり、そのような回路のディレイテストを行うためのスキャン回路は、テスト対象外とされている。

【0006】 しかしながら、大型電子計算機等においては、フィールドでの装置自動診断時に論理LSI内の各FFの論理値をリアルタイムにモニタすることを目的にスキャン回路が利用されており、マシンサイクルの高速化にともない、スキャン回路の不所望なディレイ増加が、装置自動診断を妨げる要因となる虞のあることが、本発明者によって見いだされた。また、スキャン回路のディレイ不良を想定して、スキャン回路のディレイテストを可能とするためのテストパターンを、上記通常論理回路用のテストパターンとは別に新たに生成することは、そのためのアルゴリズムが必要となる。

【0007】 本発明の第1の目的は、スキャン回路のディレイテストを行うための技術を提供することにある。

【0008】 本発明の第2の目的は、スキャン回路のテスト専用テストパターンを用いることなく、スキャン回路のディレイテストを行うための技術を提供することにある。

【0009】 本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明かになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】 テスト対象パスの終点に配置された第2フリップフロップ回路部の出力信号を、この第2フリップフロップ回路部以降のスキャンアウトパスでの信号遅延を考慮して設定されたタイミングで観測し、この観測結果と、テスト対象パスのディレイテスト結果とに基づいてディレイ不良解析を行うものである。このとき、上記テスト対象パスのディレイテストのための情報に、上記第2フリップフロップ回路部を選択するためのアドレス情報、上記第2フリップフロップ回路部からの正常出力期待値、及びこの正常出力期待値を観測するタイミング情報が付加されたテストパターンに基づいて、ディレイテストを行うことができる。

【0012】

【作用】 上記した手段によれば、テスト対象パスの終点

に配置されたフリップフロップ回路部の出力信号を、この回路部以降のスキャンアウトパスでの信号遅延を考慮して設定されたタイミングで観測することは、スキャンアウト系のディレイテストを可能とする。

【0013】また、上記テスト対象パスのディレイテストのための情報に、上記第2フリップフロップ回路部を選択するためのアドレス情報、上記第2フリップフロップ回路部からの正常出力期待値、及びこの正常出力期待値を観測するタイミング情報が付加されたテストパターンに基づいて、ディレイテストを行うことは、スキャンアウト系のディレイテストのための専用のテストパターンの生成を不要とする。

【0014】

【実施例】図4には、本発明の一実施例方法が適用される大型電子計算機が示される。

【0015】図4に示される大型電子計算機41は、データを取込むための入力ユニット41、この入力ユニット41を介して入力されたデータを、所定のプログラムにしたがって、処理するための演算ユニット44、この演算ユニット44の処理結果等を記憶するためのメモリユニット45、このメモリユニット45の記憶情報や上記演算ユニット44の演算結果を出力するための出力ユニット42、及び上記各ユニットの動作制御を司るコントロールユニット43を含む。そのような大型電子計算機には、その保守診断のための装置診断装置（サービスプロセッサとも称される）が結合される。この装置診断装置は、図4に示される大型電子計算機41に対して内部状態のトレース命令を与え、当該命令に応じて大型電子計算機41から得られた各種情報を解析することによって、大型電子計算機41の診断を行う。そのような診断を可能とするため、大型電子計算機41には、本来の処理機能（基本機能）に加えて、上記装置診断装置による診断を可能とするための診断機能が備えられている。

【0016】図5には、上記大型電子計算機41の診断機能が、装置診断装置100との関係で示される。

【0017】上記大型電子計算機41の診断機能を実現するため装置診断ユニット47が設けられ、装置診断装置100から大型電子計算機41に対して内部状態のトレース命令が与えられると、入力ユニット42、コントロールユニット43、演算ユニット44、メモリユニット45、及び出力ユニット46、それぞれの内部診断機能が装置診断ユニット47によって活性化され、各ユニットの診断情報が、装置診断ユニット47を介して装置診断装置100に伝達される。

【0018】図6には、上記出力ユニット46の内部構成例が示される。

【0019】特に制限されないが、この演算ユニット46は、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0020】入力バッファ回路等のユニット内個別機能51、52が設けられ、その後段には、LSIの外部に信号出力するためのドライバなどのユニット内個別機能53が設けられている。外部入力端子T1～T3とユニット内個別機能51との間には、FF（フリップフロップ）回路部61A、61B、61Cから成るFF回路部群61が配置される。外部入力端子T4～T6とユニット内個別機能52との間には、FF回路部62A、62B、62Cから成るFF回路部群61が配置される。ユニット内個別機能51とユニット内個別機能53との間、及びユニット内個別機能52とユニット内個別機能53との間には、それぞれFF回路部63A、63B、63Cから成るFF回路部群63、及びFF回路部64A、64B、64Cから成るFF回路部群64が配置される。さらにユニット内個別機能53と外部出力端子T7～T9との間には、FF回路部65A、65B、65Cから成るFF回路部群65が配置される。

【0021】上記FF回路部群61、62、63、64、65は、基本的には信号保持機能により、入力された信号のタイミング調整を行うために設けられているが、後述するように、スキャンイン、スキャンアウト機能により、各ユニット内個別機能の実現回路のディレイテストを実現するためのスキャン回路として機能する。つまり、信号のタイミング調整を基本機能とした場合、ディレイテスト機能をも合わせ持つ。

【0022】図7には上記ディレイテストのための診断機能に着目した場合の上記出力ユニット46の構成が示される。

【0023】図7に示されるように、スキャンインコントロールユニット67、及びスキャンアウトコントロールユニット68が設けられ、上記FF回路部群61、62、63、64、65の動作が制御されるようになっていく。例えば、上記スキャンインコントロールユニット67は、LSIの外部入力端子からの制御信号入力に応じて、上記FF回路部群61、62、63、64、65のうち、スキャンインすべきFF回路部を選択したり、スキャンインする値（1又は0）の設定、さらにはスキャンインのタイミング制御を行う。また、上記スキャンアウトコントロールユニット68は、LSIの外部入力端子からの制御信号入力に応じて、スキャンアウトすべきFF回路部を選択したり、選択されたFF回路部からスキャンアウトされた値を選択的に外部出力するための機能を有する。

【0024】図1には、上記出力ユニット46において、ディレイテスト機能に着目した場合の主要部構成例が示される。

【0025】従来技術に従えば、FF回路部61A、及びFF回路部63Aが選択された状態では、当該FF回路部61AからFF回路部63Aに至る通常論理回路パスP1のみのディレイテストが行われるが、本実施例で

は、この通常論理回路パスP1のディレイテストに加えて、FF回路部63Aからスキャンアウト端子13に至るスキャン回路パスP2のディレイテストが行われる。そのようなディレイテストを可能とするため、本実施例では、上記FF回路部61A、63Aとして、特にトリガ信号を必要とせず、アドレス指定による選択によって出力論理のモニタが可能とされるものを用いている。そのようなFF回路部は、特に制限されないが、セット・リセット形のFFと、論理ゲートとの組合せによって実現される。

【0026】図8には、スキャン回路部61Aの構成例が示される。

【0027】図8に示されるように、このスキャン回路部61Aは、セット・リセット型のFF（フリップフロップ）71と、インバータ72、3入力アンドゲート73、74、2入力アンドゲート75を含む。FF71にスキャンインされる信号が、端子79を介して入力アンドゲート37に入力され、また、インバータ72を介して3入力アンドゲート74に入力されるようになっている。また、スキャンインのタイミングクロックが端子80を介して、上記3入力アンドゲート73、74に入力されるようになっている。セレクト回路76はFF選択のためのアドレス信号をデコードすることによって、FF選択信号81を得るもので、スキャンインコントローラ67やスキャンアウトコントローラ68の機能の一部とされる。上記FF選択信号81が、ハイレベルにアサートされた場合、FF回路部63A（FF71）の選択状態とされる。この状態で、アンドゲート73の出力論理がハイレベルになった場合には、FF71の出力端子（Q）12はハイレベルとされ、また、アンド回路74の出力論理がローレベルになった場合には、FF71の出力端子12はローレベルとされる。端子79から入力される信号の論理レベルによって、アンドゲート73、74のいずれかが、選択的に活性化されることにより、FF71のセット／リセット状態の選択が可能とされる。FF71の端子Dはデータ入力端子であり、このデータ入力端子Dの論理状態が、クロックに同期して保持される。さらに、上記セレクト回路76からのFF選択信号81によって、2入力アンドゲート75が活性化されるようになっており、FF選択信号81がハイレベルのとき、FF71の出力端子（Q）12の出力論理が、このアンドゲート75や、その後段に配置されたオアゲート77を介して外部出力可能とされる。つまり、アドレス指定による選択状態で、FF71にスキャンインされた信号は、アンドゲート75の活性化により、上記スキャンインの直後に、アンドゲート75を介して外部出力可能とされる。

【0028】尚、FF回路部63Bやその他のFF回路部についても、上記FF回路部63Aと同一構成のものを適用することができる。

【0029】また、従来技術を用いて生成したディレイテストパターン（スキャン回路パスP2のディレイテストのためのテストパターン）に、以下の情報が付加される。尚、この付加情報は、スキャン回路パスP2のディレイテストでは不要とされる。

【0030】すなわち、通常論理回路テストでテスト対象パスの終点となるFF回路部のアドレス指定パターン、スキャンアウト端子からの正常出力期待値、及びそのような期待値を観測するタイミング情報である。上記アドレス指定パターンは、図8に示されるセレクト回路76でデコードされる。ここで、上記アドレス指定パターンは、LSI論理設計時に得られる情報であり、また、上記正常出力期待値は、通常論理回路のテストパターン生成時に既に得られている情報である。従って、本実施例においては、スキャン回路のテストのために、専用のテストパターンを生成する必要はない。

【0031】図2には、図1の回路のテスト手順が示され、図3には図1の主要部の動作タイミングが示される。

【0032】先ず、テスト対象とされる通常論理回路パスの活性化条件が設定される（ステップ21）。このステップにおいて設定される活性化条件は、通常論理回路パスP1のテストに必要な条件で、スキャン回路を用いてFF回路部の初期化設定（ステップ22）、入力端子の初期化設定（ステップ23）、終点FF回路部スキャンアドレスの設定（ステップ24）が含まれる。

【0033】上記ステップ22の初期化設定では、特に制限されないが、FF回路部61A、63Aのリセット端子がハイレベルとされることによって、出力端子12がローレベル状態とされる。

【0034】また、上記ステップ23の入力端子初期化設定では、ゲートによって代表される機能論理回路Gを活性化するため入力端子1がローレベルとされ、クロック入力端子2がハイレベルとされる。

【0035】さらに、上記ステップ24におけるスキャンアドレス設定では、終点FF回路部63Aからスキャンアウト端子13までのスキャン回路パスP2が活性化され、この状態で、FF回路部63Aのデータ入力端子10に入力されたデータは、クロック入力端子11から入力されたクロックに同期して、FF回路部63Aの出力端子12から出力可能とされる。

【0036】次に、図3に示されるように、クロック入力端子3にクロック信号を与えることによって、始点FF回路部61Aのデータ出力端子8から、ハイレベルの信号を出力させる。この信号は、ゲートによって代表される機能論理回路Gによって遅延されて、終点FF回路部63Aのデータ入力端子10に伝達される。上記機能論理回路Gでの信号遅延量を考慮して設定されたクロック信号が、クロック入力端子4から入力されると、それに同期して上記機能論理回路Gの出力信号が終点FF回

路部63Aに取込まれ、それがFF回路部63Aの出力端子12から出力される(ステップ26)。この出力信号は、上記FF回路部63Aの出力端子12からスキャンアウト端子13に至るパスを介して、LSIの外部へ出力されるので、スキャンアウト端子13から外部出力された信号を観測する(ステップ27)。この観測は、装置診断ユニット47(図5参照)を介して行われる。ここで、スキャンタイミング信号80のアサートタイミングに同期してFF回路部63AのFF71に信号が取込まれた直後に、その値は当該FF71の出力端子12に現れる。スキャン回路パスP2でのディレイ時間を考慮して設定された測定タイミングで、スキャンアウト端子13の論理状態を観測することにより、上記出力端子12からスキャンアウト端子13に至るスキャン回路パスP2ディレイテスト情報を得ることができる。

【0037】そのような観測が終了された後に、機能論理回路Gを含む通常論理回路パスP1についてのディレイテスト情報、すなわち終点FF回路部63Aの論理値が、スキャンアウトコントロールユニット68の制御下でスキャンアウト端子13から外部出力されることによって、観測される(ステップ28)。

【0038】上記のようにして得られた情報を用いて、装置診断装置100において故障解析が行われる。この解析において、上記ステップ27による観測結果とその期待値とが一致し、また、上記ステップ28による観測結果とその期待値とが一致した場合には、ゲートによって代表される機能論理回路G、及びスキャン回路は、ともに正常動作していると判断される。

【0039】そに対して、上記ステップ27による観測結果とその期待値とが不一致で、また、上記ステップ28による観測結果とその期待値とが一致した場合には、ゲートによって代表される機能論理回路Gは正常動作しているが、スキャン回路パスP2にディレイ不良があると、判断される。

【0040】さらに、上記ステップ27による観測結果とその期待値とが不一致で、また、上記ステップ28による観測結果とその期待値とが不一致の場合、ゲートによって代表される機能論理回路Gにディレイ不良があり、そのような機能論理回路Gを介して入力される信号を取扱うFF回路部63Aにおいては、スキャンイン信号の不適切により、当該スキャン回路のディレイテストは不可能となるが、上記ステップ27による観測結果とその期待値とが一致し、また、上記ステップ28による観測結果とその期待値とが不一致の場合には、ゲートによって代表される機能論理回路Gにディレイ不良があること、判断される。

【0041】このように、上記ステップ27の観測結果と、上記ステップ28の観測結果との比較により、ゲートによって代表される機能論理回路Gのディレイテストのみならず、スキャン回路のディレイテストが可能とな

る。

【0042】上記実施例によれば以下の作用効果が得られる。

【0043】(1)テスト対象パスの終点に配置されたFF回路部63Aの出力信号を、この回路部63A以降のスキャン回路パスP2での信号遅延を考慮して設定されたタイミングで観測することにより、スキャンアウト系のディレイテストが可能とされる。そのようなディレイテストが行われることにより、LSI内スキャン回路に信頼性の向上を図ることができ、そのようなLSIが適用される大型電子計算機のフィールドにおける装置自動診断時、特にFFの論理値をリアルタイムにモニタする場合に、有効とされる。

【0044】(2)テスト対象パスのディレイテストのための情報に、上記フリップフロップ回路部を選択するためのアドレス情報、上記フリップフロップ回路部からの正常出力期待値、及びこの正常出力期待値を観測するタイミング情報が付加されたテストパターンに基づいて、ディレイテストを行うことにより、スキャンアウト系のディレイテストのための専用のテストパターンの生成が不要とされる。

【0045】(3)従来の通常論理回路パスP1のディレイテスト手順に、予め求められている定形手順(図2におけるステップ24、27)を追加することにより、通常論理回路パスP1のディレイテストに加えてスキャン回路パスP2のディレイテストが可能とされるので、テスト対象パスに加えてスキャンアウト系のディレイテストを行うにもかかわらず、テスト実行時間の増大を抑えることができる。

【0046】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0047】例えば、上記実施例では、出力ユニット46を1チップによって構成したものについて説明したが、診断対象とされるユニットが、複数のチップによって構成されている場合においても、本発明を適用することができる。また、この出力ユニット46に限らず、入力ユニット42やコントロールユニット43等、他のユニット内においても、上記実施例と同様にパスP1、P2のディレイテストが可能とされる。

【0048】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である大型電子計算機に用いられるLSIに適用した場合について説明したが、それに限定されるものではなく、スキャンイン・スキャンアウトによって信号伝播パスのディレイテスト機能を備えた半導体集積回路に広く適用することができる。

【0049】本発明は、少なくともスキャンイン・スキャンアウトを行うことを条件に適用することができる。

【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0051】すなわち、テスト対象パスの終点に配置されたフリップフロップ回路部の出力信号を、この回路部以降のスキャンアウトパスでの信号遅延を考慮して設定されたタイミングで観測することにより、スキャンアウト系のディレイテストが可能とされる。

【0052】また、上記テスト対象パスのディレイテストのための情報に、上記フリップフロップ回路部を選択するためのアドレス情報、上記フリップフロップ回路部からの正常出力期待値、及びこの正常出力期待値を観測するタイミング情報が付加されたテストパターンに基づいて、ディレイテストを行うことにより、スキャンアウト系のディレイテストのための専用のテストパターンの生成が不要とされる。そして、従来のディレイテスト手順に、予め求められている定形手続を追加することにより、ディレイテストデータ収集が連続的に行われるので、テスト対象パスに加えてスキャンアウト系のディレイテストを行うにもかかわらず、テスト実行時間の増大を抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施例方法が適用されるLSIの主要部回路図である。

【図2】本発明の一実施例方法にかかるディレイテストの流れ図である。

【図3】上記LSIの主要部の動作タイミング図である。

【図4】大型電子計算機の基本的な構成ブロック図である。

【図5】上記大型電子計算機における装置診断機能ブロック図である。

【図6】上記大型電子計算機に含まれる出力ユニットの基本的な構成ブロック図である。

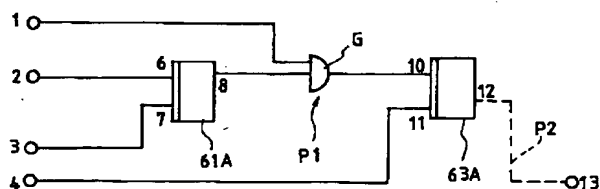
【図7】上記大型電子計算機に含まれる出力ユニットの診断機能ブロック図である。

【図8】上記出力ユニットに含まれるFF回路部の構成例回路図である。

【符号の説明】

- 13 スキャンアウト端子
- 41 電子計算機
- 42 入力ユニット
- 43 コントロールユニット
- 44 演算ユニット
- 45 メモリユニット
- 46 出力ユニット
- 47 装置診断ユニット
- 61～65 FF回路部群
- 61A～61C FF回路部
- 62A～62C FF回路部
- 63A～63C FF回路部
- 64A～64C FF回路部
- 65A～65C FF回路部
- 67 スキャンインコントロールユニット
- 68 スキャンアウトコントロールユニット
- 71 FF
- 76 セレクタ回路
- 100 装置診断装置
- G 機能論理回路
- P1 通常論理回路パス
- P2 スキャン回路パス

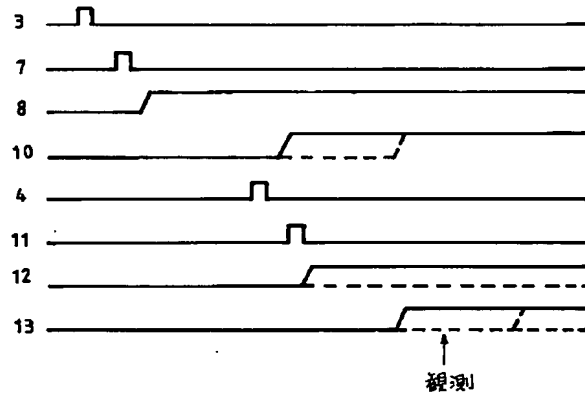
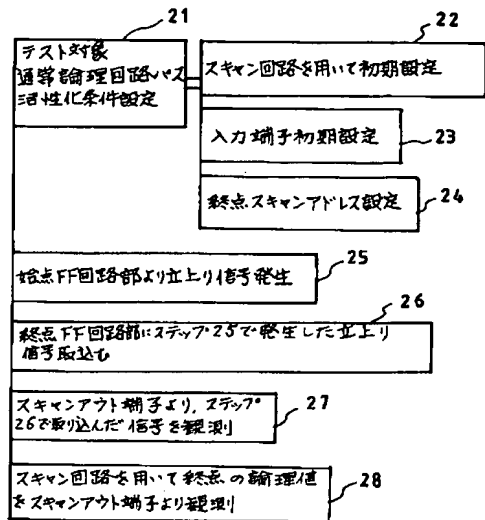
【図1】



【図2】

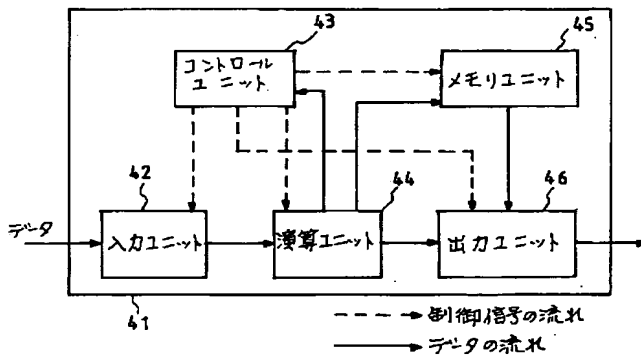
【図3】

【図2】



【図3】

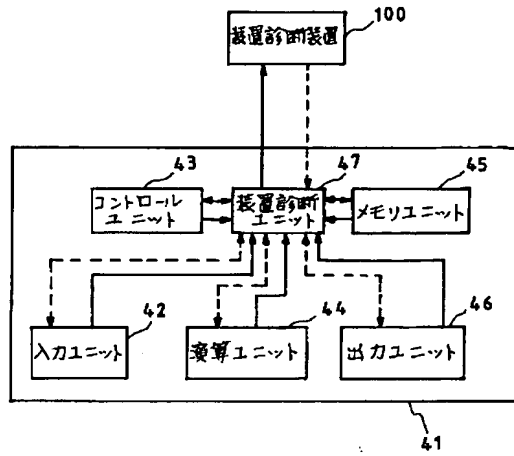
【図4】



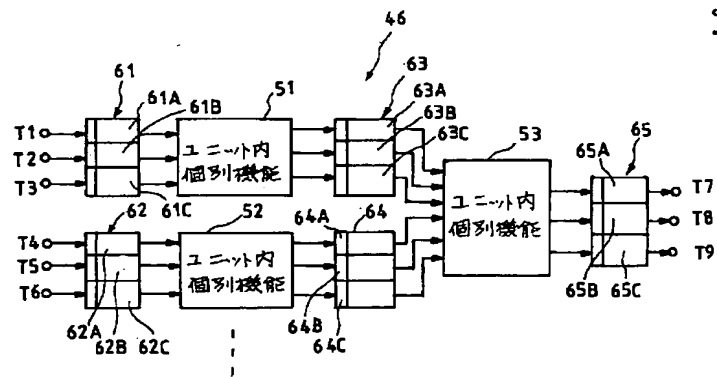
【図4】

【図 5】

【図 5】

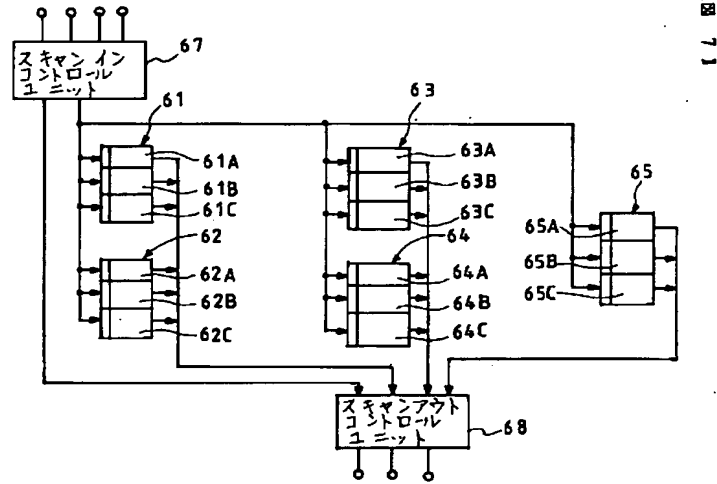


【図 6】



【図 6】

【図 7】



【図 8】

